

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS
- BLANK PAGES

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-112338

(43)Date of publication of application : 14.04.1992

(51)Int.Cl.

G06F 9/46

(21)Application number : 02-233507

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 03.09.1990

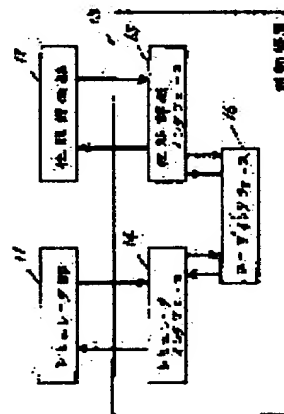
(72)Inventor : EMURA SATOSHI
OKABE KIMIHARU
MATSUDA CHIEKO
SHIMIZU TOSHIO

(54) COMPUTER PERFORMANCE EVALUATING DEVICE AND CONTROLLER USING THE EVALUATING DEVICE

(57)Abstract:

PURPOSE: To carry out a series of operations covering the simulation of a program and the evaluation of performance for a computer to be evaluated in a consistent operating environment by providing a controller which controls a simulator part and a performance evaluating part as a single device.

CONSTITUTION: A simulator part 11 obtains the internal state of a virtual computer to be evaluated at execution of an instruction. A performance evaluating part 12 shows the constitution of the virtual computer in a queue model and evaluate the performance of the computer based on the information on the application of the component elements of each evaluation computer. Then a control part 13 controls both parts 11 and 12 as a single device. Thus a series of operations including the simulation of a program through the evaluation of performance of the computer to be evaluated are carried out in a consistent operating environment.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of r jection]

[Date of requ sting app al against xaminer's
decision of r jection]

[Date of xtinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

⑫ 公開特許公報(A) 平4-112338

⑬ Int. Cl.³

G 06 F 9/46

識別記号

3 5 0

庁内整理番号

8120-5B

⑭ 公開 平成4年(1992)4月14日

審査請求 未請求 請求項の数 7 (全13頁)

⑮ 発明の名称 計算機性能評価装置およびこの装置に用いる制御装置

⑯ 特 願 平2-233507

⑰ 出 願 平2(1990)9月3日

⑱ 発 明 者	江 村	里 志	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	岡 部	公 治	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	松 田	智 恵 子	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	清 水	敏 夫	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 出 願 人	松下電器産業株式会社		大阪府門真市大字門真1006番地	
⑳ 代 理 人	弁理士 小 鍛 治 明		外 2 名	

明 細 書

1. 発明の名称

計算機性能評価装置およびこの装置に用いる制御装置

2. 特許請求の範囲

- (1) 性能評価すべき仮想計算機のインストラクション実行時の内部状態を実現するシミュレータ部と、前記仮想計算機の構成を持ち行列モデルで表現し、各仮想計算機構成要素の利用に関する情報から性能評価を行なう性能評価部と、前記シミュレータ部と前記性能評価部をひとつの装置として制御する制御装置とから構成される計算機性能評価装置。
- (2) シミュレータインターフェースと性能評価インターフェースとユーザインターフェースとから構成され、特許請求の範囲第1項記載の計算機性能評価装置に用いる制御装置。
- (3) シミュレータ部が作成した仮想計算機上でプログラムを実行した時の命令とメモリアクセスの実行履歴から、性能評価部に与える仮想計算

機の各構成要素の利用頻度や利用時間を求める実行メモリアクセス履歴処理部を備えた特許請求の範囲第1項記載の計算機性能評価装置。

- (4) 複数種類のプロセッサに対応するシミュレータ部を備えた特許請求の範囲第3項記載の計算機性能評価装置。
- (5) 性能評価すべき仮想計算機のすべての構成要素及びその諸元を表形式で格納した仮想計算機構成ファイルと、前記仮想計算機構成ファイル及び後記仮想計算機再構成ファイルを読み込む仮想計算機構成ファイル読み込み部と、前記仮想計算機構成ファイル読み込み部によって読み込まれた前記仮想計算機構成ファイルに従って仮想的に計算機を実現する仮想計算機構築部と、前記仮想計算機構築部で仮想的に実現された計算機に対して変更したい構成要素及びその諸元を表形式で記述した仮想計算機再構成ファイルと、前記仮想計算機構成ファイル読み込み部によって読み込まれた前記仮想計算機再構成ファイルにしたがって仮想的に計算機を再構成

する仮想計算機再構築部とを備えた特許請求の範囲第1項記載の計算機性能評価装置。

(6) 性能評価すべき仮想計算機の構成要素及び諸元の指定をユーザと対話的に行なう対話型仮想計算機構成処理部と、前記対話型仮想計算機構成処理部に従って仮想的に計算機を実現する仮想計算機構築部とを備えた特許請求の範囲第1項記載の計算機性能評価装置。

(7) 仮想計算機構築部によって仮想的に実現された計算機の構成要素及び諸元を仮想計算機構成ファイルに変換し格納する仮想計算機構成ファイル格納部を備えた特許請求の範囲第5項または第6項記載の計算機性能評価装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は設計中の計算機の実効性能を事前に評価するための計算機性能評価装置及びこの装置に用いる制御装置に関するものである。

従来の技術

近年、ワークステーション、パーソナルコン

ピュータなどの計算機システムがエンジニア分野やビジネス分野で幅広く利用されている。これら計算機システムに対するユーザの要求として、良い操作性、豊富なアプリケーションソフトウェアだけでなく、計算機システムとしての高いパフォーマンスもあげられる。高パフォーマンスを実現するべく、最適なハードウェアならびにソフトウェア構成を決めるためには、計算機システムの設計段階に当たって、その構成要素の仕様に基づいたシステム全体としての性能を予測する計算機性能評価装置が活用される。

以下、図面を参照しながら、上述した従来の計算機性能評価装置の一例について説明する。

第13図は、従来の計算機性能評価装置のブロック図を示したものである。第13図において、131はシミュレータ部、132は性能評価部、133はシミュレータ制御部、134は性能評価制御部、1311は仮想計算機構成ファイル、1312は仮想計算機構成ファイル読み込み部、1313は仮想計算機構築部である。

以上のように構成された計算機性能評価装置について、以下第4、14、15、16図を用いてその動作について説明する。

第14図は、仮想計算機構成ファイル1311の一例を示したものである。

第4図は、性能評価すべき仮想計算機のハードウェア構成を示す図である。第4図において、41はCPU、42はキャッシュ、43はメモリ、44はバスである。

第15図は第4図で構成を示した仮想計算機を持ち行列モデルで表した時のモデル図である。第15図において、151はCPU、152はキャッシュ、153はメモリ、1511はCPUの持ち行列、1521はキャッシュの持ち行列、1531はメモリの持ち行列である。

第16図は性能評価部132に与えるデータの構成を示すものである。161はCPUの利用時間、162はキャッシュの利用時間、163はメモリの利用時間であり、164は持ち行列モデルを巡回する回数を示している。

仮想計算機構成ファイル1311は性能評価すべき仮想計算機のすべての構成要素、例えば、CPUの個数、メモリの個数、ディスクの数など、と各構成要素の諸元、例えば、CPUに関しては、内蔵キャッシュの有無、クロック数など、を記述している。図14では、CPUの数が1、メモリの数が1、ディスクの数が1、キャッシュはなし、メモリサイズは640KByteであることを示している。計算機構成ファイル読み込み部1312はこの仮想計算機構成ファイルを読み込み、計算機構築部1313により、仮想的に計算機を実現する。シミュレータ部131では、計算機構築部1313で実現された仮想計算機上でターゲットプログラムの論理的動作をシミュレートし、仮想計算機の各構成要素ごとの利用状況などのデータを収集する。

シミュレータ制御部133は、ユーザが入力したコマンドを解析して、シミュレータ部131の実行制御を行ない、シミュレータ部131から得られる結果を表示する。

性能評価部132は第4図に示される仮想計算機の構成から第15図に示される待ち行列モデルを構成する。

ユーザは、シミュレータ部131から得られる仮想計算機の各構成要素の利用に関するデータをもとに、第16図に示す仮想計算機の各構成要素ごとの利用時間に関する確率分布関数、平均、分散などのデータを作成する。

第4図で示されるような構成をもつ仮想計算機でのプログラムの実行は、第15図のCPU151、キャッシュ152、メモリ153を順次、161、162、163で示す確率分布関数、平均、分散から求めた利用時間だけ使用し、164で示す回数だけ第15図の待ち行列モデルを巡回することで表現される。

性能評価部132は第15図の待ち行列モデルを使って、第16図で示される各ハードウェアの利用時間と頻度から、単位時間あたりの命令実行数やCPU、キャッシュ、メモリの利用率などの性能を計算する。

さらに、性能評価すべき仮想計算機を記述する仮想計算機構成ファイルはすべての構成要素とその諸元を記述しなければならない、一部の構成要素や諸元を変えるためにはまた別の仮想計算機構成ファイルを作成しなければならないという問題点を有していた。また、仮想計算機構成ファイルをエディタなどで編集しなければならないという問題点を有していた。さらに、変更した構成要素及び諸元を基に新たに仮想計算機構成ファイルに格納することができないという問題点を有していた。

本発明は、上記課題を解決するもので、計算機性能評価を行なう際、性能評価すべき仮想計算機上でのプログラムのシミュレートから、それによる確率情報などを用い性能評価を行なう一連の処理を、一貫した操作環境で行なうことができる計算機性能評価装置を提供するものである。

また、シミュレータで得られた仮想計算機構成要素の利用情報から、メモリ、CPUなどをどれぐらいの頻度で、どれだけの時間利用するかを求

性能評価制御部134は、ユーザが入力したコマンドを解析して、性能評価部132の実行制御を行ない、性能評価部132から得られる結果を表示する。

(例えば、参考文献、松岡他、「マルチプロセッサシステムの評価技法と評価システム」、情報処理学会オペレーティングシステム研究会42-6) 発明が解決しようとする課題

しかしながら上記のような構成では、シミュレータでの仮想計算機に関するデータの収集の過程と、待ち行列モデルを用いた性能評価の過程が別々に行なわれるため、計算機の性能評価に手間がかかるという問題点を有していた。

また、シミュレータによって収集されたデータを基に、性能評価の入力となる確率分布関数の設定や、平均、分散などのデータ作成を人間が行わなければならないという問題点を有していた。

また、性能評価すべき仮想計算機のプロセッサの種類を考慮に入れた性能評価ができないという問題点を有していた。

め、性能評価を行なえる計算機性能評価装置を提供するものである。

また、性能評価すべき仮想計算機のプロセッサの種類を考慮に入れた性能評価を行なえる計算機性能評価装置を提供するものである。

さらに、性能評価すべき仮想計算機の構成要素及びその諸元を一部のみでも容易に変更でき、また対話的に仮想計算機の構成要素及びその諸元を指定することができ、さらに変更した構成要素及び諸元を基に新たに仮想計算機構成ファイルを作成することができる計算機性能評価装置を提供するものである。

課題を解決するための手段

上記課題を解決するために本発明の特許請求の範囲第1項の計算機性能評価装置は、性能評価すべき仮想計算機のインストラクション実行時の内部状態を実現するシミュレータ部と、仮想計算機の構成を待ち行列モデルで表現し、各仮想計算機構成要素の利用に関する情報から性能評価を行なう性能評価部と、前記シミュレータ部と前記性能

評価部をひとつの装置として制御する制御装置という構成を備えたものである。

また、本発明の計算機性能評価装置に用いる特許請求の範囲第2項の制御装置は、シミュレータインターフェースと性能評価インターフェースとユーザインターフェースという構成を備えたものである。

また、特許請求の範囲第3項の計算機性能評価装置は、特許請求の範囲第1項記載の計算機性能評価装置の構成に加え、シミュレータ部が作成した仮想計算機上でプログラムを実行した時の命令とメモリアクセスの実行履歴から、性能評価部を与える仮想計算機の各構成要素の利用頻度や利用時間を求める実行メモリアクセス履歴処理部を備えたものである。

さらに、特許請求の範囲第4項の計算機性能評価装置は、特許請求の範囲第3項記載の計算機性能評価装置の構成に加え、複数種類のプロセッサに対応するシミュレータ部を備えたものである。

また、特許請求の範囲第5項の計算機性能評価

装置は、対話型仮想計算機構成処理部と、前記対話型仮想計算機構成処理部に従って仮想的に計算機を実現する仮想計算機構築部とを備えたものである。

さらに、特許請求の範囲第7項の計算機性能評価装置は、特許請求の範囲第5項または第6項記載の計算機性能評価装置の構成に加え、仮想計算機構築部によって仮想的に実現された計算機の構成要素及び諸元を仮想計算機構成ファイルに変換し格納する仮想計算機構成ファイル格納部を備えたものである。

作用

本発明は上記した構成によって、従来のように計算機構成要素利用情報の取得と性能の評価を分離独立した装置で行なうのではなく、統一したユーザインターフェースを有する制御装置により、単一装置として機能することとなる。

また、仮想計算機を構築して、その上でのプログラム実行をシミュレートすることにより、CPU、キャッシュ、メモリの利用頻度と利用時間のパラ

メータ値を求め、待ち行列モデルを使って性能を評価するので、これらのパラメータ値を予想するのが困難である場合でも、性能評価ができることとなる。

また、性能評価すべき仮想計算機のプロセッサの種類を考慮に入れた性能評価ができることとなる。

さらに、性能評価すべき仮想計算機の仮想計算機構成ファイルから仮想的に計算機を実現し、その後その仮想計算機の構成要素及び諸元を変更したい場合、変更したい部分のみの構成要素及び諸元を記述した仮想計算機再構成ファイルを読み込み、仮想計算機再構築部により性能評価すべき仮想計算機を再構築でき、性能評価ができることとなる。

また、特許請求の範囲第6項の計算機性能評価装置は、特許請求の範囲第1項記載の計算機性能評価装置の構成に加え、性能評価すべき仮想計算機の構成要素及び諸元の指定をユーザと対話的に

メータ値を求め、待ち行列モデルを使って性能を評価するので、これらのパラメータ値を予想するのが困難である場合でも、性能評価ができることとなる。

また、性能評価すべき仮想計算機のプロセッサの種類を考慮に入れた性能評価ができることとなる。

さらに、性能評価すべき仮想計算機の仮想計算機構成ファイルから仮想的に計算機を実現し、その後その仮想計算機の構成要素及び諸元を変更したい場合、変更したい部分のみの構成要素及び諸元を記述した仮想計算機再構成ファイルを読み込み、仮想計算機再構築部により性能評価すべき仮想計算機を再構築でき、性能評価ができることとなる。

また、対話型仮想計算機構成処理部を備えることにより、性能評価すべき仮想計算機の構成要素及び諸元の指定を仮想計算機構成ファイルまたは仮想計算機再構成ファイルだけでなく、ユーザと対話的に行なうことができることとなる。

さらに、仮想計算機構成ファイル格納部を備えることにより、変更を加えた性能評価すべき仮想計算機の構成要素及び諸元を仮想計算機構成ファイルに格納することができることとなる。

実施例

以下本発明の一実施例について、図面を参照しながら説明する。

第1図は、本発明の一実施例における計算機性能評価装置のブロック図である。第1図において、11はシミュレータ部、12は性能評価部、13は制御装置、14はシミュレータインターフェース、15は性能評価インターフェース、16はユーザインターフェースである。

以上のように構成された計算機性能評価装置について、以下その動作を説明する。

シミュレータ部11は、性能評価すべき仮想計算機のCPU（レジスタ、TLB、実行ユニット、ページングユニットなど）、キャッシュ、メモリなどのハードウェア構成と機能を代替する。性能評価部12は仮想計算機の各構成要素利用に

関する確率情報を与えられた時に、単位時間あたりの命令実行数等の性能を得る。ユーザは制御装置13を通して性能評価すべき仮想計算機のハードウェア諸元などを与え、プログラムの実行命令を行なうと、シミュレータ部11はプログラム実行をシミュレートし、各仮想計算機構成要素の利用に関するデータを制御装置13に返す。ユーザは制御装置13に返されたデータから、確率情報を作って性能評価部12に渡すと、性能評価部12は待ち行列手法などを用いた性能評価を行なう。

シミュレータインターフェース14、性能評価インターフェース15はそれぞれ、シミュレータ部11とユーザインターフェース16、性能評価部13とユーザインターフェース16の間での上述したような情報のやりとりを媒介することによって処理が進められる。ユーザインターフェース16は、ユーザからのコマンド入力を解析して、シミュレータインターフェース14及び性能評価インターフェース15を通じて、シミュレータ部11及び性能評価部12を制御し、シミュレ

ート結果及び性能評価結果をユーザに提示する。

以上のように本実施例によれば、性能評価すべき仮想計算機のインストラクション実行時の内部状態を実現するシミュレータ部と、仮想計算機の構成を待ち行列モデルで表現し、各仮想計算機構成要素の利用に関する情報から性能評価を行なう性能評価部と、前記シミュレータ部と前記性能評価部をひとつの装置として制御する制御装置を備えることにより、計算機性能評価を行なう際、評価対象計算機上でのプログラムのシミュレートから、それによる確率情報などを用い性能評価を行なう一連の処理を、一貫した操作環境で行なうことができる。

また、シミュレータインターフェースと性能評価インターフェースとユーザインターフェースとを備えることにより、特許請求の範囲第1項における計算機性能評価装置の制御装置を実現することができる。

以下、本発明の第2の実施例について、図面を参照しながら説明する。

第2図は、本発明の第2の実施例における計算機性能評価装置のブロック図である。第2図において、21はシミュレータ部、22は性能評価部、23は制御装置、24は実行メモリアクセス履歴部である。

以上のように構成された計算機性能評価装置について、以下第4、5、6、7、8図を用いてその動作を説明する。

第4図は、性能評価すべき仮想計算機の構成を示す図である。第4図において、41はCPU、42はキャッシュ、43はメモリ、44はバスである。

第5図は、第4図で構成を示した仮想計算機を待ち行列モデルで表した時のモデル図である。第5図において、51はCPU、52はキャッシュ、53はメモリ、521はキャッシュの待ち行列、531はメモリの待ち行列、54はインストラクションアドレス生成ユニット、55はインストラクションフェッチユニット、56はデコードユニット、57はデータアドレス生成ユニット、58

は実行ユニット、541はインストラクションアドレス生成ユニットの待ち行列、551はインストラクションフェッチユニットの待ち行列、561はデコードユニットの待ち行列、571はデータアドレス生成ユニットの待ち行列、581は実行ユニットの待ち行列である。

第6図は、命令とメモリアクセスの実行履歴のデータ構造を示す図である。第6図において、61は実行したインストラクションのオペランドコード、62はシミュレーション内容、63はアクセスした記憶装置、64はインストラクションバイト長、65は実行クロック数、66は実行したプログラム、67、68、69は命令とメモリアクセスの実行履歴列を示している。

第7図は、実行メモリアクセス履歴処理部の処理フロー図である。

第8図は、実行メモリアクセス履歴処理部の処理過程例を示す図である。

第4図で示されるような構成をもつ仮想計算機での1インストラクションの実行は、第5図の

52、53、54、55、56、57、58のハードウェア構成要素を、インストラクションアドレス生成ユニット、インストラクションフェッチユニット、キャッシュまたはメモリ、デコードユニット、データアドレス生成ユニット、実行ユニット、キャッシュまたはメモリというように順次使用し、第5図の待ち行列モデルを5巡回することで表現される。

シミュレータ部21が、インストラクションフェッチはどのメモリから行なったか、データのリード、ライトはどのメモリから行なったか、インストラクションの実行をシミュレートして、命令とメモリアクセスの実行履歴を作成する。第6図では“mov arglist,AX”をシミュレートした内容は、まず67で示すようにインストラクションフェッチのためにキャッシュから2回リードし、次に68で示すようにインストラクションを6クロックで実行し、最後に69で示すように結果をmemory1にライトしていることを表している。

第7図は、第6図の命令とメモリアクセスの実

行履歴から、実行メモリアクセス履歴処理部24が各ハードウェア構成要素をどのくらいの頻度で、どれだけの時間使用したかを求める処理フローを示したものである。各命令ごとに、第7図の処理フローを実行する。

71、72、73、74、75で求めた、CPU内の各パイプライン処理ユニット、メモリまたはキャッシュの利用時間と頻度を性能評価部22に与えることにより、単位時間当たりの命令実行数、各ハードウェア構成要素の利用率などを求める。

第8図は、第6図の命令とメモリアクセスの実行履歴67、68、69から、実行メモリアクセス履歴処理部24が第7図の処理フローに従って、各ハードウェア構成要素をどれだけの時間使用したかを求める過程を示したものである。

実行履歴67から、82のインストラクションフェッチ時のキャッシュの利用時間を求め、実行履歴68から、83、85のデコードユニット、実行ユニットの利用時間を求め、実行履歴69か

ら、85のメモリの利用時間を求める。

性能評価部22は、第8図で示される各ハードウェア構成要素と利用時間のデータと、第5図の待ち行列モデルを使って、性能評価を行なう。

制御装置23は、上述の一連のユーザ操作をシミュレータ部21、性能評価部22に指示し、シミュレーション結果、性能評価結果をユーザに提示する。

さらに、複数の種類のプロセッサに対応した複数のシミュレータ部21を備えることにより、性能評価すべき仮想計算機のプロセッサを制御装置23で指定することができる。

以上のように、第2の実施例によれば、特許請求の範囲第1項記載の計算機性能評価装置の構成に加え、シミュレータ部が作成した仮想計算機上でプログラムを実行した時の命令とメモリアクセスの実行履歴から、性能評価部に与える仮想計算機の各構成要素の利用頻度や利用時間を求める実行メモリアクセス履歴処理部を備えることにより、シミュレータで得られた計算機資源の利用情

報から、メモリ、CPUなどをどれぐらいの頻度で、どれだけの時間利用するかを求め、性能評価を行なうことができる。

なお、実施例においては、評価の対象とする計算機のハードウェア構成としてCPU、キャッシュ、メモリを考えたが、ディスク、ライトバッファなどの構成要素を付加することもできる。また5段のパイプライン処理を考えたが、この段数は対象とするCPUの構成によって変更することが可能である。

以下、本発明の第3の実施例について図面を参照しながら説明する。

第3図は、本発明の第3の実施例における計算機性能評価装置のブロック図である。第3図において、31はシミュレータ部、32は性能評価部、33は制御装置、311は仮想計算機構成ファイル、312は仮想計算機再構成ファイル、313は仮想計算機構成ファイル読み込み部、314は仮想計算機構築部、315は仮想計算機再構築部、316は対話型仮想計算機構成処理

部、317は仮想計算機構成ファイル格納部である。

以上のように構成された計算機性能評価装置について、以下第9、10、11、12図を用いてその動作を説明する。

第9図は、仮想計算機構成ファイル311の一例を示す図である。

第10図は、仮想計算機再構成ファイル312の一例を示す図である。

第11図は、対話型仮想計算機構成処理部316を用いて、仮想計算機の構成を入力している例を示す図である。

第12図は、第9図、第10図で示した仮想計算機構成ファイル及び仮想計算機再構成ファイルから作成し、仮想計算機構成ファイル格納部317によって格納された仮想計算機構成ファイルを示す図である。

まず、第9図に一例を示す仮想計算機構成ファイル311は次のような仮想計算機を記述している。

CPUの個数	1
CPUのクロック数	25MHz
キャッシュのタイプ	外付け(CPU内蔵ではない)
キャッシュサイズ	32KByte
キャッシュアクセスサイクル	書き込み、読み込みとも2サイクル
キャッシュライン数	16
キャッシュデータ置換法	ランダム
キャッシュ連想方式	4ウェイ
キャッシュデータのメモリ書き戻し法	ライトスルー
キャッシュデータのデータ、命令の分離	しない
ライトバッファ	1段1アクセスサイクル
TLBエントリ数	32
TLB置換方式	LRU方式
メモリの数	1

メモリのサイズ	640KByte
メモリアクセスサイクル	書き込み、読み込みともに6サイクル
バスの数	1
ディスクの数	0

仮想計算機構成ファイル読み込み部313は上記のように設定された仮想計算機構成ファイル311を読み込む。仮想計算機構築部314は読み込まれた仮想計算機構成ファイル311を基に性能評価すべき計算機を仮想的に実現する。シミュレータ部31はターゲットプログラムを論理的にシミュレートし、性能評価部32に必要なデータを収集する。性能評価部32はシミュレータ部で得られたデータを用い、性能評価を行い、例えば、計算機の単位時間あたりの命令実行数などを求める。

第10図に示す仮想計算機再構成ファイル132は、すでに仮想的に実現された計算機の構成要素及び諸元のうち、CPUのクロック数を30MHz、

メモリサイズを1 MByteに変更するものである。

仮想計算機構成ファイル読み込み手段313は上記のように設定された仮想計算機再構成ファイル132を読み込む。仮想計算機再構成部315は読み込まれた仮想計算機再構成ファイル132で指定された変更すべき構成要素や諸元のみを変更し、他の構成要素及び諸元は変更せずに新たに性能評価すべき計算機を実現する。

また、対話型仮想計算機構成処理部を用いれば、第11図に示すように、ユーザと対話しながら、仮想計算機の構成、諸元を設定することができる。ここでは、CPUのクロック数を30MHzに、メモリサイズを1 MByteに設定している。ただし、sim>はユーザからの入力を促すプロンプトである。

第12図は、第9、10図で示した仮想計算機構成ファイル、仮想計算機再構成ファイルを読み込んで、構築された仮想計算機の構成要素、及び諸元を計算機構成ファイル格納部317によ

り、部という構成を備えることにより、性能評価すべき計算機の構成要素及びその諸元の一部を容易に変更することができる。

また、特許請求の範囲第1項記載の計算機性能評価装置の構成に加え、性能評価すべき仮想計算機の構成要素及び諸元の指定をユーザと対話的に行なう対話型仮想計算機構成処理部と、前記対話型仮想計算機構成処理部に従って仮想的に計算機を実現する仮想計算機構築部という構成を備えることにより、対話的に計算機の構成要素及び諸元を指定することができる。

さらに、仮想計算機構築部によって仮想的に実現された計算機の構成要素及び諸元を仮想計算機構成ファイルに変換し格納する仮想計算機構成ファイル格納部という構成を備えることにより、変更した構成要素及び諸元を基に新たに仮想計算機構成ファイルを作成することができる。

発明の効果

以上のように本発明は、性能評価すべき仮想計算機のインストラクション実行時の内部状態を実

現し、格納された計算機構成ファイルを示す。第9図と第12図とを比較すると、CPUクロック数が25から30に、メモリサイズが640 MByteから1 MByteに変更されている。

以上のように、第3の実施例によれば、特許請求の範囲第1項記載の計算機性能評価装置の構成に加え、性能評価すべき仮想計算機のすべての構成要素及びその諸元を表形式で格納した仮想計算機構成ファイルと、前記仮想計算機構成ファイル及び後記仮想計算機再構成ファイルを読み込む仮想計算機構成ファイル読み込み部と、前記仮想計算機構成ファイルを読み込み部によって読み込まれた前記仮想計算機構成ファイルに従って仮想的に計算機を実現する仮想計算機構築部と、前記仮想計算機構築部で仮想的に実現された計算機に対して変更したい構成要素及びその諸元を表形式で記述した仮想計算機再構成ファイルと、前記仮想計算機構成ファイル読み込み部によって読み込まれた前記仮想計算機再構成ファイルにしたがって仮想的に計算機を再構成する仮想計算機再構築

部と、仮想計算機の構成を持ち行列モデルで表現し、各仮想計算機構成要素の利用に関する情報から性能評価を行なう性能評価部と、前記シミュレータ部と前記性能評価部をひとつの装置として制御する制御装置を備えることにより、従来のように仮想計算機構成要素の利用情報の取得と性能評価を分離独立した装置で行なうことができなくなるので、一貫した操作環境で行なうことができ、評価精度及び操作性が向上する。

特許請求の範囲第1項記載の計算機性能評価装置の構成に加え、シミュレータ部が作成した仮想計算機上でプログラムを実行した時の命令とメモリアクセスの実行履歴から、性能評価部に与える仮想計算機の各構成要素の利用頻度や利用時間を求める実行メモリアクセス履歴処理部を備えることにより、メモリ、キャッシュなどのハードウェア構成やワークロードの違いを考慮に入れた性能評価を行なうことができる。

さらに演算種類のプロセッサに対応するシミュレータ部を備えることにより、性能評価すべき仮

想計算機のプロセッサの種類を考慮に入れた性能評価を行なうことができる。

特許請求の範囲第1項記載の計算機性能評価装置の構成に加え、性能評価すべき仮想計算機のすべての構成要素及びその諸元を表形式で格納した仮想計算機構成ファイルと、前記仮想計算機構成ファイル及び後記仮想計算機再構成ファイルを読み込む仮想計算機構成ファイル読み込み部と、前記仮想計算機構成ファイル読み込み部によって読み込まれた前記仮想計算機構成ファイルに従って仮想的に計算機を実現する仮想計算機構築部と、前記仮想計算機構築部で仮想的に実現された計算機に対して変更したい構成要素及びその諸元を表形式で記述した仮想計算機再構成ファイルと、前記仮想計算機構成ファイル読み込み部によって読み込まれた前記仮想計算機再構成ファイルにしたがって仮想的に計算機を再構成する仮想計算機再構築部という構成を備えることにより、性能評価すべき計算機の構成要素及びその諸元の一部を容易に変更することができる。

すべき仮想計算機の構成を示す図、第5図は第4図で構成を示した仮想計算機を持ち行列モデルで表した時のモデル図、第6図は命令とメモリアクセスの実行履歴のデータ構造を示す図、第7図は実行メモリアクセス履歴処理部の処理フロー図、第8図は実行メモリアクセス履歴処理部の処理過程例を示す図、第9図は仮想計算機構成ファイルの一例を示す図、第10図は仮想計算機再構成ファイルの一例を示す図、第11図は対話型仮想計算機構成処理部を用いて、仮想計算機の構成を入力している例を示す図、第12図は第9図、第10図で示した仮想計算機構成ファイル及び仮想計算機再構成ファイルから作成し、仮想計算機構成ファイル格納部によって格納された仮想計算機構成ファイルを示す図、第13図は従来の計算機性能評価装置のブロック図、第14図は仮想計算機構成ファイルの一例を示す図、第15図は第4図で構成を示した仮想計算機を持ち行列モデルで表した時のモデル図、第16図は性能評価部に与えるデータの構成を示す図である。

また、特許請求の範囲第1項記載の計算機性能評価装置の構成に加え、性能評価すべき仮想計算機の構成要素及び諸元の指定をユーザと対話的に行なう対話型仮想計算機構成処理部と、前記対話型仮想計算機構成処理部に従って仮想的に計算機を実現する仮想計算機構築部という構成を備えることにより、対話的に計算機の構成要素及びその諸元を指定することができる。

さらに、仮想計算機構築部によって仮想的に実現された計算機の構成要素及び諸元を仮想計算機構成ファイルに変換し格納する仮想計算機構成ファイル格納部という構成を備えることにより、変更した構成要素及び諸元を基に新たに仮想計算機構成ファイルを作成することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例における計算機性能評価装置のブロック図、第2図は本発明の第2の実施例における計算機性能評価装置のブロック図、第3図は本発明の第3の実施例における計算機性能評価装置のブロック図、第4図は性能評価

1 1 ……シミュレータ部、1 2 ……性能評価部、1 3 ……制御装置、1 4 ……シミュレータインターフェース、1 5 ……性能評価インターフェース、1 6 ……ユーザインターフェース、

2 1 ……シミュレータ部、2 2 ……性能評価部、2 3 ……制御装置、2 4 ……実行メモリアクセス履歴部、

3 1 ……シミュレータ部、3 2 ……性能評価部、3 3 ……制御装置、3 1 1 ……仮想計算機構成ファイル、3 1 2 ……仮想計算機再構成ファイル、3 1 3 ……仮想計算機構成ファイル読み込み部、3 1 4 ……仮想計算機構築部、3 1 5 ……仮想計算機再構築部、3 1 6 ……対話型仮想計算機構成処理部、3 1 7 ……仮想計算機構成ファイル格納部、

4 1 ……CPU、4 2 ……キャッシュ、4 3 ……メモリ、4 4 ……バス、

5 1 ……CPU、5 2 ……キャッシュ、5 3 ……メモリ、5 2 1 ……キャッシュの待ち行列、5 3 1 ……メモリの待ち行列、5 4 ……インストラク

ションアドレス生成ユニット、55……インストラクションフェッチユニット、56……デコードユニット、57……データアドレス生成ユニット、58……実行ユニット、541……インストラクションアドレス生成ユニットの待ち行列、551……インストラクションフェッチユニットの待ち行列、561……デコードユニットの待ち行列、571……データアドレス生成ユニットの待ち行列、581……実行ユニットの待ち行列、

61……オペランドコード、62……シミュレーション内容、63……アクセスした記憶装置、64……インストラクションバイト長、65……実行クロック数、66……実行プログラム、67、68、69……実行履歴列、

71……インストラクションアドレス生成の利用時間、72……インストラクションフェッチの利用時間、73……デコードの利用時間、74……データアドレス生成の利用時間、75……実行利用時間、

81……インストラクションアドレス生成

の利用時間、82……インストラクションフェッチの利用時間、83……デコードの利用時間、84……データアドレス生成の利用時間、85……実行利用時間、

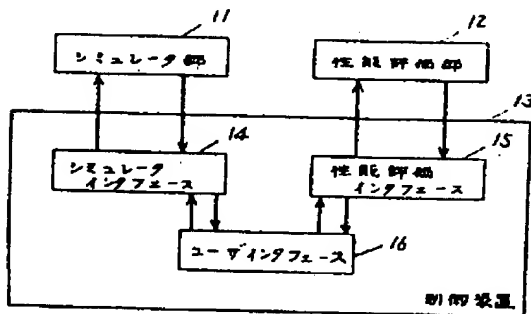
131……シミュレータ部、132……性能評価部、133……シミュレータ制御部、133……性能評価制御部、1311……仮想計算機構成ファイル、1312……仮想計算機構成ファイル読み込み部、1313……仮想計算機構成部

151……CPU、152……キャッシュ、153……メモリ、1511……CPUの待ち行列、1521……キャッシュの待ち行列、1531……メモリの待ち行列、

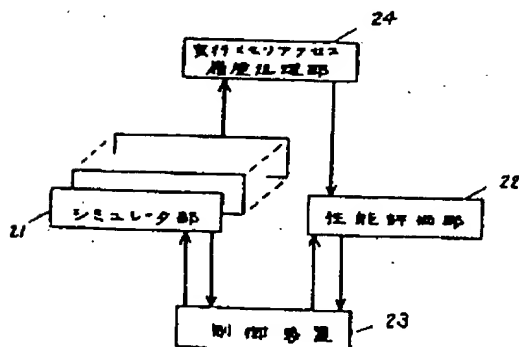
161……CPUの利用時間、162……キャッシュの利用時間、163……メモリの利用時間、164……待ち行列モデルを巡回する回数、

代理人の氏名 弁理士 小殿 怡 明 ほか2名

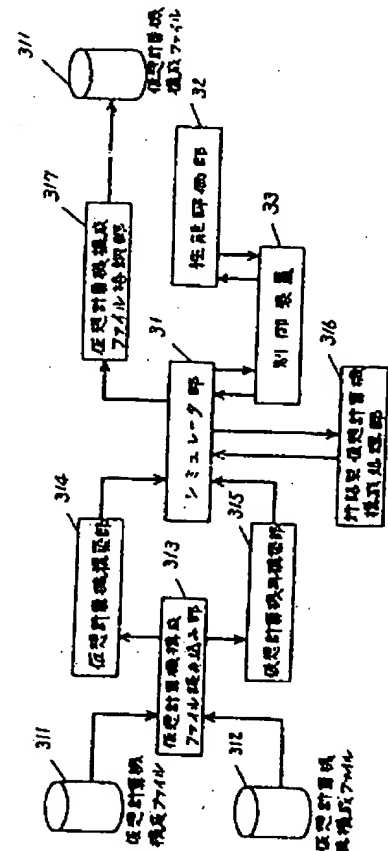
第 1 図



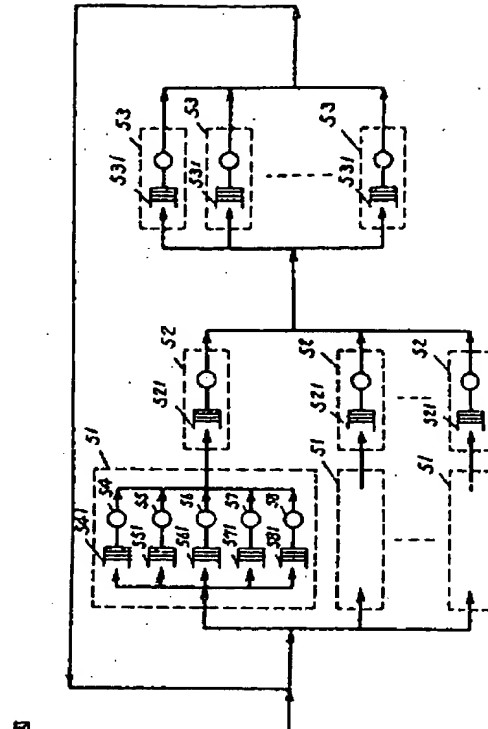
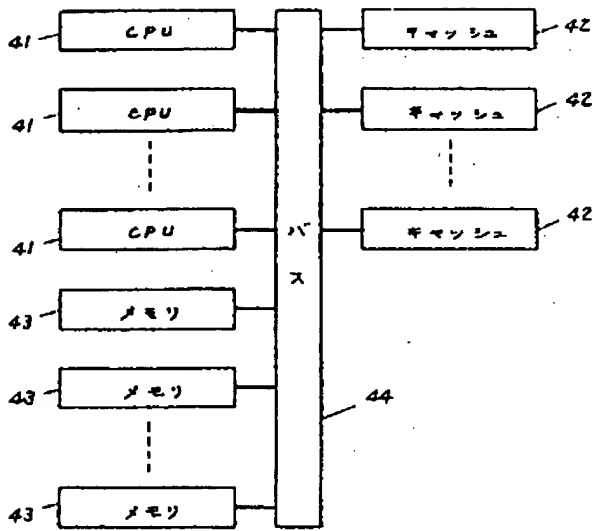
第 2 図



3 図

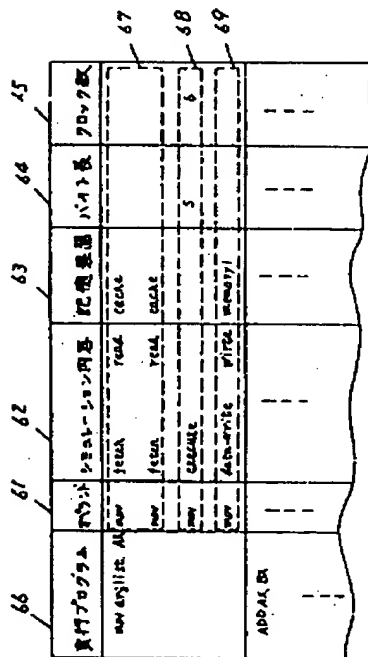


第 4 図

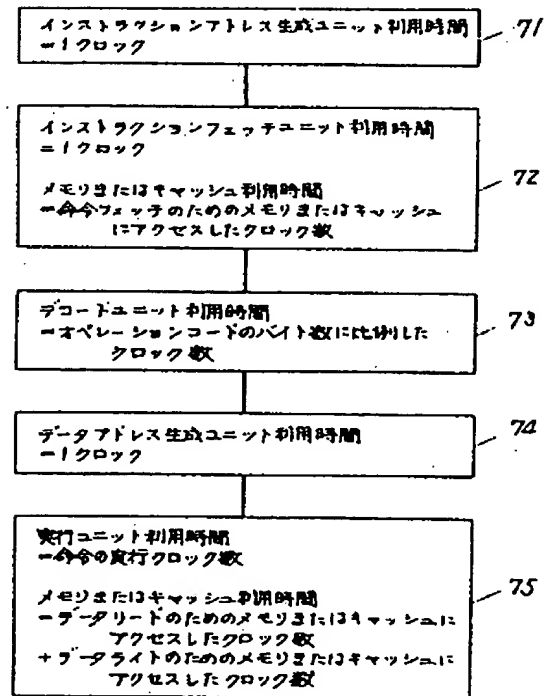


第 5 図

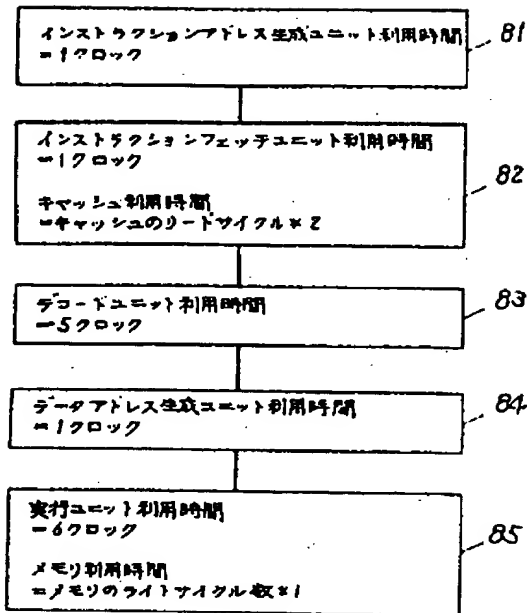
第 7 図



第 6 図



第 8 図



第 9 図

cpuNum	1		
cpuclk	1	25	
cachetype	1	notonchip	
cachesize	1	notonchip	32000
cachecycle	1	notonchip	2 2
cacheline	1	notonchip	16
cacherepl	1	notonchip	random
cachecycloc	1	notonchip	away
cacheproto	1	notonchip	writethrough
i-d-cache	1	notonchip	no
writeduf	1	notonchip	1 1
TLBsize	32		
TLBproto	32		
TLBrepl	LRU		
memNum	1		
memsize	1	655360	
memcyc	1	6-0-6	
busNum	1		
busNum	0		

第 10 図

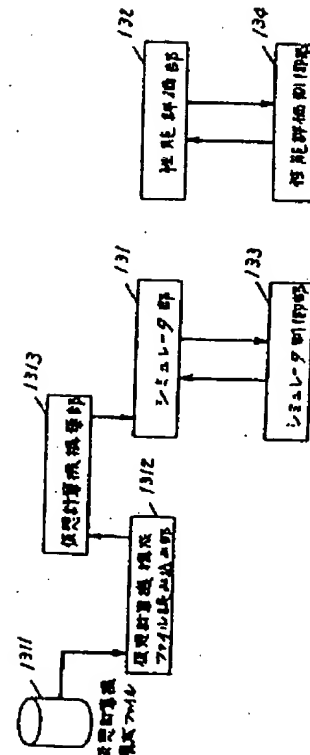
cpuclk	1	30
memsize	1	1048576

第 11 図

sim>cpuclk	1	30
sim>memsize	1	1048576

第 12 図

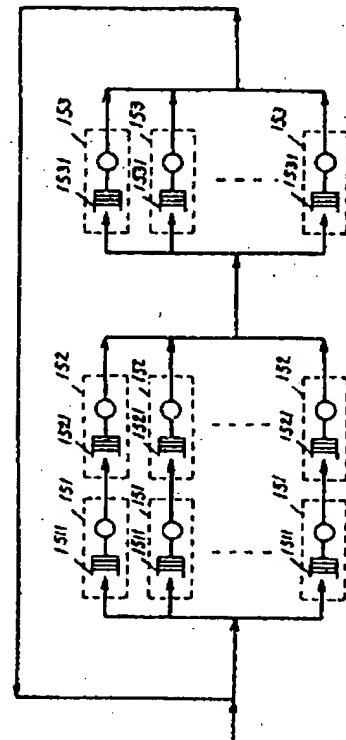
cpuNum	1		
cpuclk	1	30	
cachetype	1	notonchip	
cachesize	1	notonchip	32000
cachecycle	1	notonchip	2 2
cacheline	1	notonchip	16
cacherepl	1	notonchip	random
cachecycloc	1	notonchip	away
cacheproto	1	notonchip	writethrough
i-d-cache	1	notonchip	no
writeduf	1	notonchip	1 1
TLBsize	32		
TLBproto	32		
TLBrepl	LRU		
memNum	1		
memsize	1	1048576	
memcyc	1	6-0-6	
busNum	1		
busNum	0		



第 13 図

第 1 4 図

CPUUNIT
MEMUNIT
BUSUNIT
CACHEDTYPE none
MEMSIZE 655360



第 1 5 図

第 1 6 図

- | | | |
|-----|--|---------------|
| 161 | — (CPU-FUNCTION, CPU-INDEX, CPU-UNIT) | = (指数部, 1, 1) |
| 162 | — (CACHE-FUNCTION, CACHE-INDEX, CACHE-UNIT) | = (指数部, 2, 2) |
| 163 | — (MEMORY-FUNCTION, MEMORY-INDEX, MEMORY-UNIT) | = (指数部, 3, 3) |
| 164 | — COUNT | = (1000) |